

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of	:	
	:	
Kuo-Yu CHOU	:	Group Art Unit: Not Yet Assigned
	:	
Application No.: Not Yet Assigned	:	Examiner: Not Yet Assigned
	:	
Filed: April 2, 2004	:	
	:	
For: ANALOG FRONT END CIRCUIT AND METHOD THEREOF		

CLAIM TO PRIORITY UNDER 35 U.S.C. § 119

Assistant Commissioner of Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

Pursuant to the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55, Applicant claims the right of priority based upon **Chinese Application No. 093100482 filed January 8, 2004.**

A certified copy of Applicant's priority document is submitted herewith.

Respectfully submitted,

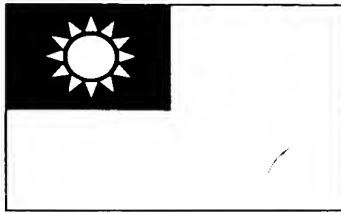
By:



Bruce H. Troxell
Reg. No. 26,592

TROXELL LAW OFFICE PLLC
5205 Leesburg Pike, Suite 1404
Falls Church, Virginia 22041
Telephone: (703) 575-2711
Telefax: (703) 575-2707

Date: April 2, 2004



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2004 年 01 月 08 日
Application Date

申請案號：093100482
Application No.

申請人：聯詠科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 3 月 17 日
Issue Date

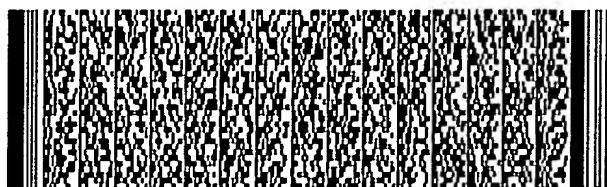
發文字號：09320260280
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	類比前級電路及方法
	英 文	ANALOG FRONT END CIRCUIT AND METHOD THEREOF
二、 發明人 (共1人)	姓 名 (中文)	1. 周國煜
	姓 名 (英文)	1. Kuo-Yu Chou
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹縣湖口鄉民族街152號
	住居所 (英 文)	1.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 聯詠科技股份有限公司
	名稱或 姓 名 (英文)	1. Novatek Microelectronic Co.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區創新一路13號2樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 2F, No. 13, Innovation Road I, Science-Based Industrial Park, HsinChu 300, Taiwan, R.O.C.
	代表人 (中文)	1. 何泰舜
	代表人 (英文)	1. T. S. Ho



四、中文發明摘要 (發明名稱：類比前級電路及方法)

一類比前級電路包含一可變增益放大電路、一第一取樣開關、一第二取樣開關、一保持開關及一類比數位轉換裝置。可變增益放大電路包含一第一輸入端、一第二輸入端及至少一輸出端，第一輸入端用以接收一第一電壓位準信號，第二輸入端用以接收一第一參考信號，輸出端用以輸出至少一放大信號。其中，當第一取樣開關呈現一第一導通狀態時，第一輸入端接收第一電壓位準信號，以及第二取樣開關呈現一導通狀態時，第二輸入端接收第一參考信號，並且當保持開關呈現一第二導通狀態時，輸出端即輸出該放大信號。類比數位轉換裝置係將放大信號轉換為一數位信號。

五、(一)、本案代表圖為：第四圖

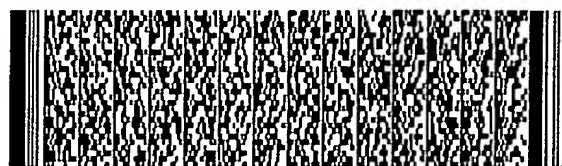
(二)、本案代表圖之元件代表符號簡單說明：

10：電偶合裝置信號

50：取樣保持電路

六、英文發明摘要 (發明名稱：ANALOG FRONT END CIRCUIT AND METHOD THEREOF)

A analog front end electric circuit comprises a variable gain amplifier circuit, a first sample switch, a second sample switch, a hold switch and an analog to digital converter. The variable gain amplifier circuit comprises a first input end, a second input end and at least one output end. The first input end is used to receive first voltage level signals. The second input end is used to



四、中文發明摘要 (發明名稱：類比前級電路及方法)

51: 類比前級電路	52: 可變增益放大電路
53: 數位信號	54: 第一取樣開關
55: 類比數位轉換裝置	56: 第二取樣開關
58: 保持開關	60: 第一輸入端
66: 第一電壓位準信號	62: 第二輸入端
64、65: 輸出端	68: 第一參考信號
70: 第一放大信號	72: 第二放大信號
80: 第一電容器	82: 第二電容器
84: 第三電容器	86: 第四電容器
88: 第三取樣開關	90: 第四取樣開關
92: 第一差動輸入端	94: 第二差動輸入端
96: 第一差動輸出端	98: 第二差動輸出端
100: 第一緩衝器	102: 第二緩衝器
104: 控制信號	C1、C2、C3、C4: 電容值

六、英文發明摘要 (發明名稱：ANALOG FRONT END CIRCUIT AND METHOD THEREOF)

receive first reference signals. The output end is used to output at least one amplified signal. When the first sample switch becomes a first conduction status, the first input end will receive the first voltage level signals. When the second sample switch becomes a first conduction status, the second input end will receive the first reference signals. And, when the hold switch becomes a



四、中文發明摘要 (發明名稱：類比前級電路及方法)

六、英文發明摘要 (發明名稱：ANALOG FRONT END CIRCUIT AND METHOD THEREOF)

second conduction status, the output end will output the amplified signal. The analog to digital converter convert the amplified signal to a digital signal.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

一、發明所屬之技術領域

本發明係關於一種類比前級電路及其方法，特別是關於以二次取樣方式處理之類比前級電路及其方法。

二、先前技術

類比前級電路 (Analog Front End, AFE) 是影像擷取裝置 (例如數位相機和數位攝影機) 中相當重要的元件，其主要是用於接收影像感測元件的圖素信號，並將其轉換為數位信號以供後續元件處理。

影像感測元件 (例如電偶合裝置, Charged-Coupled devices, CCDs) 輸出的電偶合裝置信號需要藉由信號調變和類比數位轉換 (以下簡稱 A/D 轉換) 才能成為便於後續數位信號處理用的數位信號。請參閱圖一，圖一係習知影像擷取裝置之示意圖。習知的影像擷取裝置 2 係應用一光學系統 4 擷取光學影像後，再經由後續一影像感測元件 6、一類比前級電路 8 和一數位處理器 9 以進行信號處理。

類比前級電路 8 的作用是將影像感測元件 6 輸出的電偶合裝置信號 10 經由 A/D 轉換成一數位信號 7 輸出至數位處理器 9。

請參閱圖一及圖二，圖二為習知類比前級電路 8 中之取樣保持電路 20 示意圖。習知類比前級電路 8 中之取樣保持電路 20 包含一運算放大器 22、一組電容 24、26、一取樣開關 28 以及一保持開關 30，取樣保持電路 20 係用以將電偶合裝置信號 10 取樣及保持並輸出一輸出信號 42。其中，取



五、發明說明 (2)

樣開關 28 係受一取樣時脈信號 (未顯示於圖二) 控制，保持開關 30 係受一保持時脈信號 (未顯示於圖二) 控制。

請參閱圖三，圖三為習知電偶合裝置信號 10、取樣時脈信號 32 及保持時脈信號 34 之時序圖。圖三之時序圖中，橫軸表示時間，縱軸表示信號振幅。電偶合裝置信號 10 為一週期長度為 T 之類比信號，每一個週期之電偶合裝置信號 10 包含一重置電壓信號 14、一第一參考電壓信號 16 以及一第一電壓位準信號 18。取樣時脈信號 32 包含複數個方形波 36，每一個方形波 36 皆包含一正緣 38 及一負緣 40，其中方形波 36 之正緣 38 將觸發取樣開關 28 而呈現一導通狀態，而負緣 40 將觸發取樣開關 28 而呈現一斷路狀態。保持時脈信號 34 包含複數個方形波 36，每一個方形波 36 皆包含一正緣 38 及一負緣 40，其中方形波 36 之正緣 38 將觸發保持開關 30 而呈現該導通狀態，而負緣 40 將觸發保持開關 30 而呈現該斷路狀態。

請參閱圖二及圖三，當第一參考電壓信號 16 輸入取樣保持電路 20 時，取樣開關 28 及保持開關 30 呈現該導通狀態，因此可將第一參考電壓信號 16 之電壓值取樣於電容 24。接著當第一電壓位準信號 18 輸入取樣保持電路 20 時，取樣開關 28 呈現該導通狀態，而保持開關 30 則呈現該斷路狀態，因此取樣保持電路 20 即輸出一輸出信號 42，輸出信號 42 為一差值 D 乘以一增益值 G_p (未顯示)，差值 D 為第一參考電壓信號 16 及第一電壓位準信號 18 之電壓差值，增益值 G_p 則由下列公式計算而得：



五、發明說明 (3)

$$G_p = C_a / C_b$$

其中， C_a 為電容 24 之電容值， C_b 為電容 26 之電容值。

然而由於電子元件之特性緣故，實際上電偶合裝置信號 10 中之重置電壓信號 14、第一參考電壓信號 16 以及第一電壓位準信號 18，皆包含一爬升區 44 及一穩態區 (steady state) 46。因此，取樣時僅可針對第一參考電壓信號 16 以及第一電壓位準信號 18 所包含之穩態區 46 進行取樣，所以取樣時脈信號 32 及保持時脈信號 34 中，使取樣開關 28 及保持開關 30 呈現導通狀態之方形波寬度 W 通常為參考電壓信號 16 或第二電壓位準信號 18 信號寬度 P 之一半，此現象常常造成所需運算放大器 22 的頻寬 (Bandwidth) 較高，因此必須選用操作頻寬較高之運算放大器 22，方能正確地完成電偶合裝置信號 10 之取樣及保持。

此外，由於習知技術電偶合裝置信號 10 之取樣保持電路 20 中之運算放大器 22 為單端輸入，若其電偶合裝置信號 10 因雜訊干擾、環境溫度變化或電子元件特性之影響，而造成第一參考電壓信號 16 之電壓位準產生誤差，進而造成取樣保持電路輸出之輸出信號 42 產生誤差。再者，習知電偶合裝置信號 10 之取樣保持電路 20，並無法對此誤差進行處理或補償。

三、發明內容

因此，本發明之一目的係提供一類比前級 (Analog Front End, AFE) 電路，並且可以選用操作頻寬

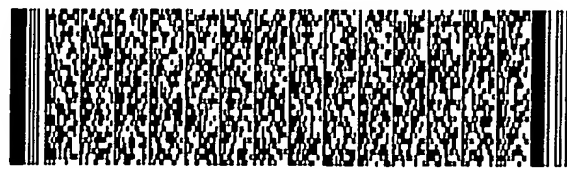
五、發明說明 (4)

(Bandwidth)較低之運算放大器應用於本發明之類比前級電路中以降低成本。

本發明之類比前級 (Analog Front End, AFE) 電路係將由圖像感測元件 (image sensor) 輸出之一類比信號轉換成一數位信號，該類比信號包含一第一電壓位準信號及一第一參考信號，該類比前級電路包含一取樣保持電路及一類比數位轉換裝置。該取樣保持電路進一步包含一可變增益放大電路、一第一取樣開關、一第二取樣開關以及一保持開關。該可變增益放大電路包含一第一輸入端、一第二輸入端及至少一輸出端，該第一輸入端係用以接收該第一電壓位準信號，該第二輸入端係用以接收一第一參考信號，該輸出端係用以輸出至少一放大信號。該第一取樣開關，係安置於該第一輸入端之前端。該第二取樣開關，係安置於該第二輸入端之前端。該保持開關係連接該第一輸入端及該第二輸入端。其中，當該第一取樣開關呈現一第一導通狀態 (on) 時，該第一輸入端接收該第一電壓位準信號，以及該第二取樣開關呈現該第一導通狀態 (on) 時該第二輸入端接收該第一參考信號，並且當該保持開關呈現一第二導通狀態 (on) 時，該輸出端即輸出該放大信號。

該類比數位轉換裝置係用以接收該放大信號，並將該放大信號轉換為該數位信號。

相較於習知技術，本發明取樣保持電路為差動式輸入，並且所需可變增益放大電路之頻寬 (bandwidth) 較習知技術為小，因此本發明取樣保持電路可選用操作頻寬



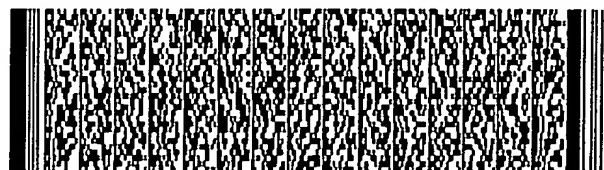
五、發明說明 (5)

(Bandwidth) 較小之運算放大器。另外，本發明取樣保持電路可以藉由調整控制信號之方式調整第一參考信號，以對雜訊干擾、環境溫度變化或電子元件特性之影響，而產生之誤差進行處理或補償。

關於本發明之優點與精神可以藉由以下的發明詳述及所附圖式得到進一步的瞭解。

四、實施方式

請參閱圖四及圖五，圖四為本發明類比前級電路 51 之示意圖，圖五為本發明電偶合裝置信號 10、取樣時脈信號 74 及保持時脈信號 76 之時序圖，圖五之時序圖中橫軸代表時間，縱軸代表信號之振幅。類比前級電路 51 係將由電偶合裝置 (charge-couple devices, CCD) 輸出之一電偶合裝置信號 10 轉換成一數位信號 53，電偶合裝置信號 10 為一類比信號，且電偶合裝置信號 10 包含一第一電壓位準信號及一第一參考信號，類比前級 (Analog Front End, AFE) 電路 51 包含一取樣保持電路 50 及一類比數位轉換裝置 55。取樣保持 (sample and hold) 電路 50 係用以將一電偶合裝置信號 10 進行取樣及保持並輸出一組放大信號 70、72。類比數位轉換裝置 55 係用以接收放大信號 70、72，並將放大信號 70、72 轉換為數位信號 53。其中電偶合裝置信號 10 為一週期長度 T 之類比信號，每一週期之電偶合裝置信號 10 包含一重置電壓信號 14、一參考電壓信號 (未顯示) 以及一第二電壓位準信號 (未顯示)。



五、發明說明 (6)

取樣保持電路 50 包含一第一緩衝器 100、一第二緩衝器 102、一可變增益放大電路 52、一第一取樣開關 54、一第二取樣開關 56 以及一保持開關 58。第一緩衝器 100 係用以接收電偶合裝置信號 10，並將電偶合裝置信號 10 中之該參考電壓信號位移 (shift) 至一第一參考信號 68，以及將該第二電壓位準信號 (voltage level) 位移 (shift) 至一第一電壓位準信號 66，以便適於輸入可變增益放大電路 52。第二緩衝器 102 係用以接收一控制信號 104 以產生一第一參考信號 68。

可變增益放大電路 52 包含一第一輸入端 60、一第二輸入端 62 及一組輸出端 64、65，第一輸入端 60 係用以接收第一電壓位準信號 66，第二輸入端 62 係用以接收第一參考信號 68，輸出端 64、65 係用以輸出放大信號 70、72。

第一取樣開關 54 係安置於第一輸入端 60 之前端，第二取樣開關 56 係安置於第二輸入端 62 之前端，以及保持開關 58 係連接第一輸入端 60 及第二輸入端 62。其中，當第一取樣開關 54 呈現一第一導通狀態 (on, 未顯示) 時，第一輸入端 60 則接收第一電壓位準信號 66，以及當第二取樣開關 56 呈現該第一導通狀態 (on) 時，第二輸入端 62 則接收第一參考信號 68。並且，當保持開關 58 呈現一第二導通狀態 (on, 未顯示) 時，輸出端 64、65 即輸出放大信號 70、72，類比數位轉換裝置 55 係用以接收放大信號 70、72，並將放大信號 70、72 轉換為數位信號 53。

可變增益放大電路 52 另包含一運算放大器 78、一第一

五、發明說明 (7)

電容器 80、一第二電容器 82、一第三電容器 84、一第四電容器 86、一第三取樣開關 88以及一第四取樣開關 90。

運算放大器 78包含一第一差動輸入端 92、一第二差動輸入端 94、一第一差動輸出端 96以及一第二差動輸出端 98。

第一電容器 80，係連接第一輸入端 60及第一差動輸入端 92，其中第一電容器 80之電容值為 $C1$ 。第二電容器 82，係連接第二輸入端 62及第二差動輸入端 94，其中第二電容器 82之電容值為 $C2$ 。第三電容器 84及第三取樣開關 88，係各自連接第一差動輸入端 92及第一差動輸出端 96，其中第三電容器 84之電容值為 $C3$ 。第四電容器 86及第四取樣開關 90，係各自連接第二差動輸入端 94及第二差動輸出端 98，其中第四電容器 86之電容值為 $C4$ 。

請參閱圖四及圖五，第一取樣開關 54、第二取樣開關 56、第三取樣開關 88及第四取樣開關 90係受一取樣時脈信號 74所控制，取樣時脈信號 74包含複數個方形波 37，每一個方形波 37皆包含一正緣 38及一負緣 40，其中於方形波 37之正緣 38觸發第一取樣開關 54、第二取樣開關 56、第三取樣開關 88及第四取樣開關 90而呈現該第一導通狀態 (on)，而於負緣 40觸發第一取樣開關 54、第二取樣開關 56、第三取樣開關 88及第四取樣開關 90而呈現斷路狀態 (off)。

保持開關 58係受一保持時脈信號 76所控制，保持時脈信號 76包含複數個方形波 39，每一個方形波 39皆包含一正緣 38及一負緣 40，其中方形波 39之正緣 38觸發保持開關 58



五、發明說明 (8)

而呈現該第二導通狀態 (on)，而負緣 40 觸發保持開關 58 而呈現斷路狀態 (off)。

請參閱圖四及圖五，當電偶合裝置信號 10 中之第一電壓位準信號 66 進入取樣保持電路 50 時，第一取樣開關 54、第二取樣開關 56、第三取樣開關 88 及第四取樣開關 90 受取樣時脈信號 74 之控制而呈現該第一導通狀態 (on)，因此可將第一電壓位準信號 66 之電壓值取樣於第一電容 80，以及將第一參考信號 68 之電壓值取樣於第二電容 82。接著，當電偶合裝置信號 10 中之重置電壓信號 14 及第一參考信號 68 進入取樣保持電路 50 時，保持開關 58 受保持時脈信號 76 之控制而呈現該第二導通狀態 (on)，因此輸出端 64、65 即輸出放大信號 70、72。

再者，放大信號 70、72 於本實施例中係指一第一放大信號 70 及一第二放大信號 72，第一放大信號 70 及第二放大信號 72 之差值係由第一電壓位準信號 66 及第一參考信號 68 之差值乘以可變增益放大電路 52 之一增益值 G 而得，其中增益值 G 及係經由下列公式計算而得：

$$G = C1/C3; (C1:C3 = C2:C4)$$

於本實施例中，其中輸出端 64 係連接第一差動輸出端 96，第一差動輸出端 96 係用以輸出第一放大信號 70。輸出端 65 係連接第二差動輸出端 98，第二差動輸出端 98 係用以輸出第二放大信號 72。

此外，請參閱圖六 A，圖六 A 為圖四中第一緩衝器 100 之示意圖。第一緩衝器 100 包含一第一 P 通道金屬氧化半導

五、發明說明 (9)

體 (PMOS)106、一第二 P 通道金屬氧化半導體 108 以及一第一緩衝器輸出端 110。第一 P 通道金屬氧化半導體 106 具有一第一源極 (source)112、第一閘極 (gate)114 及一第一汲極 (drain)116。第二 P 通道金屬氧化半導體 108 具有一第二源極 (source)118、第二閘極 (gate)120 及一第二汲極 (drain)122。其中，第一源極 112 接電源，第二汲極 122 接地，一第一偏壓訊號 124 輸入該第一閘極 114，第一汲極 116、第二源極 118 則與第一緩衝器輸出端 110 相連接。電偶合裝置信號 10 自第二閘極 120 輸入第一緩衝器 100，並藉由第一緩衝器輸出端 110 轉換輸出包含第一參考信號 68 及第一電壓位準信號 66 之電偶合裝置信號 10。

請參閱圖六 B，圖六 B 為圖四中第二緩衝器 102 之示意圖。第二緩衝器 102 包含一第三 P 通道金屬氧化半導體 (PMOS)126、一第四 P 通道金屬氧化半導體 128 以及一第二緩衝器輸出端 130。第三 P 通道金屬氧化半導體 126 具有一第三源極 (source)132、第三閘極 (gate)134 及一第三汲極 (drain)136。第四 P 通道金屬氧化半導體 128 具有一第四源極 138 (source)、第四閘極 140 (gate) 及一第四汲極 142 (drain)。其中，第三源極 132 接電源，第四汲極 142 接地，一第三偏壓訊號 144 輸入第三閘極 134，第三汲極 136、第四源極 138 與第二緩衝器輸出端 130 相連接。控制信號 104 則自第四閘極 140 輸入第二緩衝器 102，並藉由第二緩衝器輸出端 130 轉換輸出第一參考信號 68。

請參閱圖三及圖五。相較於習知技術，本發明類比前

五、發明說明 (10)

級電路 51 中，保持時脈信號 76 之寬度較習知技術中保持時脈信號 34 之寬度大，亦即運算放大器可以擁有較長之穩定時間 (settling time)，因此本發明類比前級電路 51 中可選用操作頻寬 (Bandwidth) 較小之運算放大器 22。

此外，相較於習知之類比前級電路 8，本發明類比前級電路 51 以差動方式處理電偶合裝置信號 10 中之第一電壓位準信號 66 及第一參考信號 68，以完成相關雙取樣功能 (Correlated Double Sampling, CDS) 之功能，與習知類比前級電路 8 之串列處理方式不同。

並且習知之類比前級電路 8 之取樣保持電路 20 中之運算放大器 22 為單端輸入，其第一參考電壓信號 16 係包含於電偶合裝置信號 10 中，若電偶合裝置信號 10 信號因雜訊干擾、環境溫度變化或電子元件特性之影響，因而造成第一參考電壓信號 16 之電壓位準產生誤差，進而造成取樣保持電路 20 輸出之電壓差值 D 產生誤差。本發明之類比前級電路 51 之第一參考信號 68 係由第二緩衝器 102 接收控制信號 104 而產生，第二緩衝器 102 係接受控制信號 104 之控制而輸出相對應之第一參考信號 68，因此相較於習知技術本發明之類比前級電路 51 可以克服第一參考電壓信號 16 之電壓位準誤差之問題。

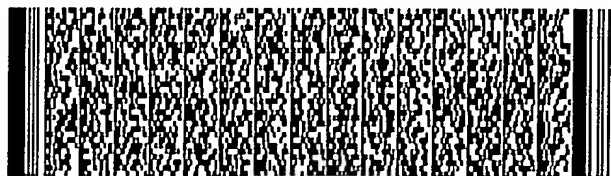
請參閱圖七，圖七為本發明之另一具體實施例之類比前級電路 154 示意圖。與圖四之類比前級電路 51 最大之不同在於類比數位轉換裝置 55 進一步包含一類比加法器 13 及一類比數位轉換器 12。其中，類比加法器 13 係用以將一直

五、發明說明 (11)

流信號 15 加入放大信號 70、72 (二者為差動信號) 以輸出一轉換電壓信號 17，類比數位轉換器 12 接收轉換電壓信號 17，並將轉換電壓信號 17 轉換為數位信號 53。藉由類比加法器 13 可以將放大信號 70、72 調整為雙向差動方式，有效利用類比數位轉換器 12 之輸入範圍。一般而言類比數位轉換器適於輸入 $(+v_{ref} \sim -v_{ref})$ 範圍之信號 (v_{ref} 為一電壓值，如 $v_{ref}=0.5V$)，如果不調整信號範圍則只能利用類比數位轉換器之局部輸入範圍。舉例而言，若電偶合裝置輸出之差動信號大小為 $0 \sim 0.5V$ ，經過可變增益放大電路 52 放大後變為 $0 \sim 1V$ ，若類比數位轉換器 12 適用輸入範圍為 $0.5V \sim -0.5V$ ，此時類比數位轉換器 12 並無法處理，若經過一類比加法器 13 加入直流信號 15 ($-0.5V$)，則差動信號大小變為 $0.5 \sim -0.5$ ，可以完全符合類比數位轉換裝置之輸入範圍。

相較於習知技術，本發明類比前級電路 154 中，保持時脈信號 76 之寬度較習知技術中之保持時脈信號 34 之寬度大，亦即運算放大器可以擁有較長之穩定時間 (settling time)，因此本發明類比前級電路 154 中可選用操作頻寬 (Bandwidth) 較小之運算放大器 22。

此外，習知之類比前級電路 8，本發明類比前級電路 154 以差動方式處理電偶合裝置信號 10 中之第一電壓位準信號 66 及第一參考信號 68，以完成相關雙取樣功能 (Correlated Double Sampling, CDS) 之功能，與習知類比前級電路 8 之串列處理方式不同。



五、發明說明 (12)

並且習知之類比前級電路 8 之取樣保持電路 20 中之運算放大器 22 為單端輸入，其第一參考電壓信號 16 係包含於電偶合裝置信號 10 中，若電偶合裝置信號 10 信號因雜訊干擾、環境溫度變化或電子元件特性之影響，因而造成第一參考電壓信號 16 之電壓位準產生誤差，進而造成取樣保持電路 20 輸出之電壓差值 D 產生誤差。本發明之類比前級電路 154 之第一參考信號 68 係由第二緩衝器 102 接收控制信號 104 而產生，第二緩衝器 102 係接受控制信號 104 之控制而輸出相對應之第一參考信號 68，因此相較於習知技術本發明之類比前級電路 154 可以克服第一參考電壓信號 16 之電壓位準誤差之問題。

請參閱圖八，圖八為本發明之另一具體實施例之類比前級電路 155 示意圖。與圖四之類比前級電路 51 最大之不同在於，其控制信號 104 係由一校正系統 152 所產生。校正系統 152 包含一校正模組 156 及一數位類比轉換器 158。其中，校正模組 156 係依據類比前級電路 154 之輸出信號 160 與一預定值（未顯示於圖七）之差值產生一數位校正信號 162，數位類比轉換器 158 將數位校正信號 162 轉換為控制信號 104，並且輸入第二緩衝器 102 以產生相對應之第一參考信號 69。

由於習知類比前級電路 8 之取樣保持電路 20 中之運算放大器 22 為單端輸入，其第一參考電壓信號 16 係包含於電偶合裝置信號 10 中，若電偶合裝置信號 10 信號因雜訊干擾、環境溫度變化或電子元件特性之影響，因而造成第一

五、發明說明 (13)

參考電壓信號 16 之電壓位準產生誤差，進而造成取樣保持電路 20 輸出之電壓差值 D 產生誤差。本發明之類比前級電路 155 之第一參考信號 68 係由第二緩衝器 102 接收控制信號 104 而產生，第二緩衝器 102 係接受控制信號 104 之控制而輸出相對應之第一參考信號 68，因此相較於習知技術本發明之類比前級電路 155 可以克服第一參考電壓信號 16 之電壓位準誤差之問題。

因此，本發明類比前級電路 155 之運算放大器 78 為差動式輸入，並且可以藉由調整控制信號 104 之方式調整第一參考信號 68，以對由雜訊干擾、環境溫度變化或電子元件特性之影響，而產生之誤差進行處理或補償。

請參閱圖九，圖九為本發明類比前級訊號處理方法示意圖。以圖四之取樣類比前級電路 154 為例，本發明類比前級 (analog front end) 訊號處理方法包含下列步驟：

S200：當安置於一第一輸入端 60 之前端之一第一取樣開關 54 呈現一第一導通狀態 (on) 時，則第一輸入端 60 接收一第一電壓位準信號 66。

S202：當安置於一第二輸入端 62 之前端之一第二取樣開關 56 呈現該第一導通狀態 (on) 時，則第二輸入端 62 接收一第一參考信號 68。

S204：當連接第一輸入端 60 及第二輸入端 62 之一保持開關 58 呈現一第二導通狀態 (on) 時，則一可變增益放大電路 52 以一組輸出端 64、65 輸出一組放大信號 70、72。

S206：將放大信號 70、72 與一直流信號 15 相加，並轉

五、發明說明 (14)

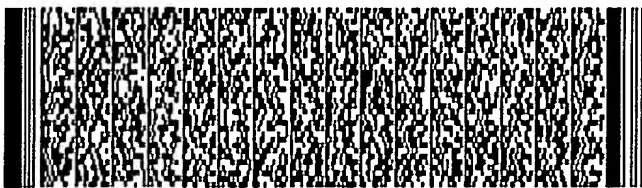
換為一轉換電壓信號 17。

S208: 將轉換電壓信號 17轉換成數位信號 53。

相較於習知技術本發明之類比前級訊號處理方法中，保持時脈信號 76之寬度較習知技術中之保持時脈信號 34之寬度大，亦即運算放大器可以擁有較長之穩定時間

(settling time)，因此本發明之類比前級訊號處理方法可選用操作頻寬 (Bandwidth) 較小之運算放大器 22。

藉由以上較佳具體實施例之詳述，係希望能更加清楚描述本發明之特徵與精神，而並非以上述所揭露的較佳具體實施例來對本發明之範疇加以限制。相反地，其目的是希望能涵蓋各種改變及具相等性的安排於本發明所欲申請之專利範圍的範疇內。



圖式簡單說明

五、圖示簡單說明

圖一係習知影像擷取裝置之示意圖。

圖二為習知類比前級電路中之取樣保持電路示意圖。

圖三為習知電偶合裝置信號、取樣時脈信號及保持時脈信號之時序圖。

圖四為本發明類比前級電路之示意圖。

圖五為本發明電偶合裝置信號、取樣時脈信號及保持時脈信號之時序圖。

圖六A為圖四中第一緩衝器之示意圖。

圖六B為圖四中第二緩衝器之示意圖。

圖七為本發明之另一具體實施例之類比前級電路示意圖。

圖八為本發明之另一具體實施例之類比前級電路示意圖。

圖九為本發明類比前級訊號處理方法示意圖。

六、圖示標號說明

2：影像擷取裝置

4：光學系統

6：圖像感測元件

7、53：數位信號

8、51、154、155：類比前級電路

9：數位處理器

10：電偶合裝置信號

12：類比數位轉換器

13：類比加法器

14：重置電壓信號

15：直流信號

16：第一參考電壓信號



圖式簡單說明

17: 轉換電壓信號	18、66: 第一電壓位準信號
20、50、150: 取樣保持電路	
22、78: 運算放大器	24、26: 電容
28: 取樣開關	30、58: 保持開關
32、74: 取樣時脈信號	34、76: 保持時脈信號
36、37、39: 方形波	38: 正緣
40: 負緣	42、160: 輸出信號
44: 爬升區	46: 穩態區
52: 可變增益放大電路	54: 第一取樣開關
55: 類比數位轉換裝置	
56: 第二取樣開關	60: 第一輸入端
62: 第二輸入端	64、65: 輸出端
68、69: 第一參考信號	70: 第一放大信號
72: 第二放大信號	80: 第一電容器
82: 第二電容器	84: 第三電容器
86: 第四電容器	88: 第三取樣開關
90: 第四取樣開關	92: 第一差動輸入端
94: 第二差動輸入端	96: 第一差動輸出端
98: 第二差動輸出端	100: 第一緩衝器
102: 第二緩衝器	104: 控制信號
106: 第一 P 通道金屬氧化半導體	
108: 第二 P 通道金屬氧化半導體	
110: 第一緩衝器輸出端	112: 第一源極
114: 第一閘極	116: 第一汲極



圖式簡單說明

118: 第二源極	120: 第二閘極
122: 第二汲極	124: 第一偏壓訊號
126: 第三 P通道金屬氧化半導體	
128: 第四 P通道金屬氧化半導體	
130: 第二緩衝器輸出端	132: 第三源極
134: 第三閘極	136: 第三汲極
138: 第四源極	140: 第四閘極
142: 第四汲極	144: 第三偏壓訊號
152: 校正系統	156: 校正模組
158: 數位類比轉換器	162: 數位校正信號
T: 週期長度	D: 電壓差值
Ca、Cb、C1、C2、C3、C4: 電容值	
Gp、G: 增益值	W: 方形波寬度
P: 信號寬度	



六、申請專利範圍

申請專利範圍

1、一類比前級 (analog front end) 電路用以將由圖像感測元件 (image sensor) 輸出之一類比信號轉換成一數位信號，該類比信號包含一第一電壓位準信號及一第一參考信號，該電路包含有：

一取樣保持電路 (sample and hold)，該取樣保持電路包含有：

一可變增益放大電路，該可變增益放大電路包含一第一輸入端、一第二輸入端及至少一輸出端，該第一輸入端係用以接收該第一電壓位準信號，該第二輸入端係用以接收該第一參考信號，該輸出端係用以輸出至少一放大信號；

一第一取樣開關，係安置於該第一輸入端之前端；

一第二取樣開關，係安置於該第二輸入端之前端；以及

一保持開關，該保持開關係連接該第一輸入端及該第二輸入端；

其中，當該第一取樣開關呈現一第一導通狀態 (on) 時，該第一輸入端接收該第一電壓位準信號，以及該第二取樣開關呈現該第一導通狀態

六、申請專利範圍

(on)時該第二輸入端接收該第一參考信號，並且當該保持開關呈現一第二導通狀態(on)時，該輸出端即輸出該放大信號；以及

一類比數位轉換裝置，該類比數位轉換裝置接收該放大信號，並將該放大信號轉換為該數位信號。

- 2、如申請專利範圍第1項所述之電路，其中該第一取樣開關及該第二取樣開關係受一取樣時脈信號控制。
- 3、如申請專利範圍第1項所述之電路，其中該保持開關係受一保持時脈信號控制。
- 4、如申請專利範圍第1項所述之電路，其中該取樣保持電路進一步包含一第一緩衝器，該第一緩衝器係用以接收一電偶合裝置信號，並將該電偶合裝置信號中之一第二電壓位準信號(voltage level)位移(shift)至該第一電壓位準信號。
- 5、如申請專利範圍第4項所述之電路，其中該第一緩衝器包含：
 - 一第一P通道金屬氧化半導體(PMOS)，該第一P通道金屬氧化半導體具有一第一源極(source)、第一閘極(gate)及一第一汲極(drain)；

六、申請專利範圍

- 一 第二 P 通道金屬氧化半導體，該第二 P 通道金屬氧化半導體具有一第二源極 (source)、第二閘極 (gate) 及一第二汲極 (drain)；以及
- 一 第一緩衝器輸出端；

其中，該第一源極接電源接電源，該第二汲極接地，一第一偏壓訊號輸入該第一閘極，該電偶合裝置信號則輸入該第二閘極，該第一汲極、該第二源極與該第一緩衝器輸出端相連接。

- 6、如申請專利範圍第 1 項所述之電路，其中該取樣保持電路進一步包含一第二緩衝器，該第二緩衝器係接收一控制信號以產生該第一參考信號。
- 7、如申請專利範圍第 6 項所述之電路，其中該第二緩衝器包含：

- 一 第三 P 通道金屬氧化半導體 (PMOS)，該第三 P 通道金屬氧化半導體具有一第三源極 (source)、第三閘極 (gate) 及一第三汲極 (drain)；
- 一 第四 P 通道金屬氧化半導體，該第四 P 通道金屬氧化半導體具有一第四源極 (source)、第四閘極 (gate) 及一第四汲極 (drain)；以及
- 一 第二緩衝器輸出端；



六、申請專利範圍

其中，該第三源極接電源，該第四汲極接地，一第三偏壓訊號輸入該第三閘極，該第一參考信號則輸入該第四閘極，該第三汲極、該第四源極與該第二緩衝器輸出端相連接。

8、如申請專利範圍第 1 項所述之電路，其中該可變增益放大電路進一步包含：

- 一運算放大器，該運算放大器包含一第一差動輸入端、一第二差動輸入端、一第一差動輸出端以及一第二差動輸出端；
- 一第一電容器，係連接該第一輸入端及該第一差動輸入端，其中該第一電容器之電容值為 $C1$ ；
- 一第二電容器，係連接該第二輸入端及該第二差動輸入端，其中該第二電容器之電容值為 $C2$ ；
- 一第三電容器及一第三取樣開關，係各自連接該第一差動輸入端及該第一差動輸出端，其中該第三電容器之電容值為 $C3$ ；以及
- 一第四電容器及一第四取樣開關，係各自連接該第二差動輸入端及該第二差動輸出端，其中該第四電容器之電容值為 $C4$ 。

9、如申請專利範圍第 8 項所述之電路，其中該放大信號包



六、申請專利範圍

含一第一放大信號及一第二放大信號，該第一放大信號及第二放大信號之差值係由該第一位電壓位準信號及第一參考信號之差值乘以該可變增益放大電路之一增益值(G)而得其中該增益值經由下列公式計算而得：

$$G=C1/C3; C1:C3=C2:C4$$

10、如申請專利範圍第9項所述之電路，其中該輸出端包含該第一差動輸出端及該第二差動輸出端，該第一差動輸出端係用以輸出該第一放大信號，該第二差動輸出端係用以輸出該第二放大信號。

11、如申請專利範圍第1項所述之電路，其中類比數位轉換裝置進一步包含：

- 一類比加法器，該類比加法器係用以接收一直流信號及該放大信號，並將該放大信號及該直流信號相加後，輸出一轉換電壓信號；以及
- 一類比數位轉換器，用以接收該轉換電壓信號，並將該轉換電壓信號轉換為該數位信號。

12、一類比前級(analog front end)訊號處理方法用以將由圖像感測元件(image sensor)輸出之一類比信號轉換成一數位信號，該類比信號包含一第一電壓位準信



六、申請專利範圍

號及一第一參考信號，該方法包含有下列步驟：

- (a)當安置於一第一輸入端之前端之一第一取樣開關呈現一第一導通狀態(on)時，則該第一輸入端接收該第一電壓位準信號；
- (b)當安置於一第二輸入端之前端之一第二取樣開關呈現該第一導通狀態(on)時，則該第二輸入端接收該第一參考信號；
- (c)當連接該第一輸入端及該第二輸入端之一保持開關呈現一第二導通狀態(on)時，則一可變增益放大電路以一輸出端輸出至少一放大信號；以及
- (d)將該放大信號轉換成該數位信號。

- 13、如申請專利範圍第12項所述之方法，其中該第一取樣開關及該第二取樣開關係受一取樣時脈信號控制。
- 14、如申請專利範圍第12項所述之方法，其中該保持開關係受一保持時脈信號控制。
- 15、如申請專利範圍第12項所述之方法，其中該第一電壓位準信號係由一第一緩衝器提供，該第一緩衝器係用以接收一電偶合裝置信號，並將該電偶合裝置信號中之一第二電壓位準信號(voltage level)位移(shift)

六、申請專利範圍

至該第一電壓位準信號。

16、如申請專利範圍第15項所述之方法，其中該第一緩衝器包含：

- 一 第一 P通道金屬氧化半導體 (PMOS)，該第一 P通道金屬氧化半導體具有一第一源極 (source)、第一閘極 (gate) 及一第一汲極 (drain)；
- 一 第二 P通道金屬氧化半導體，該第二 P通道金屬氧化半導體具有一第二源極 (source)、第二閘極 (gate) 及一第二汲極 (drain)；以及
- 一 第一緩衝器輸出端；

其中，該第一源極接電源，該第二汲極接地，一第一偏壓訊號輸入該第一閘極，該電耦合裝置信號則輸入該第二閘極，該第一汲極、該第二源極與該第一緩衝器輸出端相連接。

17、如申請專利範圍第12項所述之方法，其中該第一參考信號係由一第二緩衝器提供，該第二緩衝器係接收一控制信號以產生該第一參考信號。

18、如申請專利範圍第17項所述之方法，其中該第二緩衝器包含：



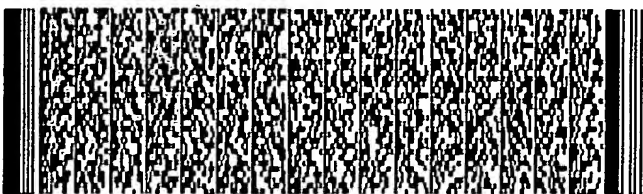
六、申請專利範圍

- 一 第三 P 通道金屬氧化半導體 (PMOS)，該第三 P 通道金屬氧化半導體具有一第三源極 (source)、第三閘極 (gate) 及一第三汲極 (drain)；
- 一 第四 P 通道金屬氧化半導體，該第四 P 通道金屬氧化半導體具有一第四源極 (source)、第四閘極 (gate) 及一第四汲極 (drain)；以及
- 一 第二緩衝器輸出端；

其中，該第三源極接電源，該第四汲極接地，一第三偏壓訊號輸入該第三閘極，該第一參考信號則輸入該第四閘極，該第三汲極、該第四源極與該第二緩衝器輸出端相連接。

19、如申請專利範圍第 12 項所述之方法，其中該可變增益放大電路進一步包含：

- 一 運算放大器，該運算放大器包含一第一差動輸入端、一第二差動輸入端、一第一差動輸出端以及一第二差動輸出端；
- 一 第一電容器，係連接該第一輸入端及該第一差動輸入端，其中該第一電容器之電容值為 $C1$ ；
- 一 第二電容器，係連接該第二輸入端及該第二差動輸入端，其中該第二電容器之電容值為 $C2$ ；



六、申請專利範圍

- 一 第三電容器及一第三取樣開關，係各自連接該第一差動輸入端及該第一差動輸出端，其中該第三電容器之電容值為 $C3$ ；以及
- 一 第四電容器及一第四取樣開關，係各自連接該第二差動輸入端及該第二差動輸出端，其中該第四電容器之電容值為 $C4$ ；

20、如申請專利範圍第19項所述之方法，其中該放大信號包含一第一放大信號及一第二放大信號，該第一放大信號及第二放大信號之差值係由該第一位電壓位準信號及第一參考信號之差值乘以該可變增益放大電路之一增益值 (G) 而得其中該增益值經由下列公式計算而得：

$$G = C1/C3; C1:C3 = C2:C4$$

21、如申請專利範圍第20項所述之方法，其中該輸出端包含該第一差動輸出端及該第二差動輸出端，該第一差動輸出端係用以輸出該第一放大信號，該第二差動輸出端係用以輸出該第二放大信號。

22、如申請專利範圍第12項所述之方法，其中步驟 (d) 進一步包含下列步驟：



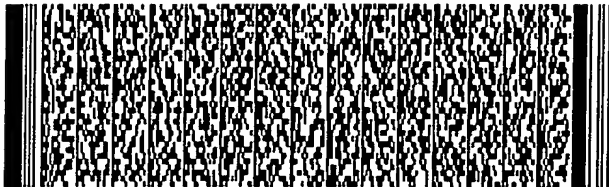
六、申請專利範圍

(d1)將該放大信號與一直流信號相加，並轉換為一
轉換電壓信號；以及

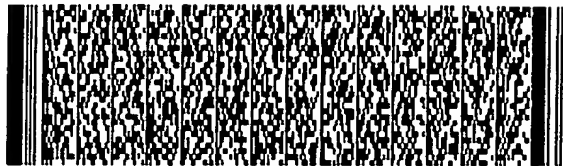
(d2)將該轉換電壓信號轉換成該數位信號。



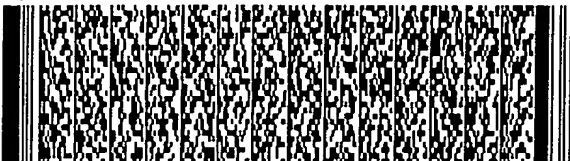
第 1/32 頁



第 2/32 頁



第 2/32 頁



第 3/32 頁



第 3/32 頁



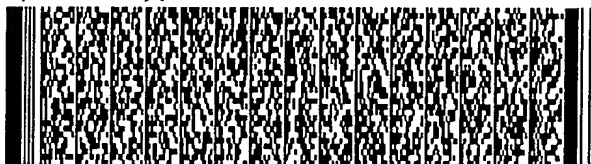
第 4/32 頁



第 5/32 頁



第 6/32 頁



第 6/32 頁



第 7/32 頁



第 7/32 頁



第 8/32 頁



第 8/32 頁



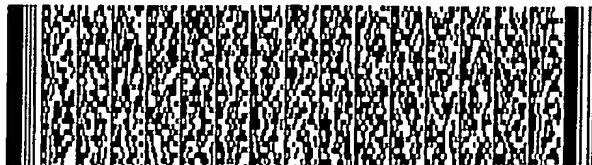
第 9/32 頁



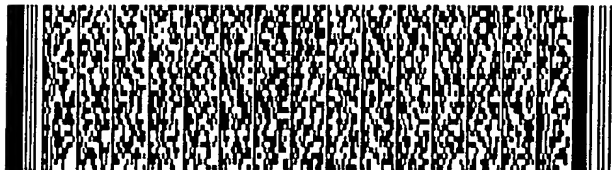
第 9/32 頁



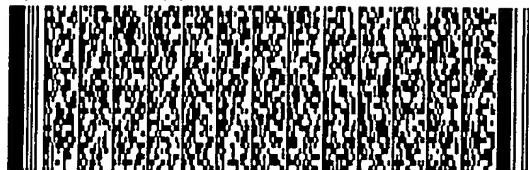
第 10/32 頁



第 10/32 頁



第 11/32 頁



第 11/32 頁



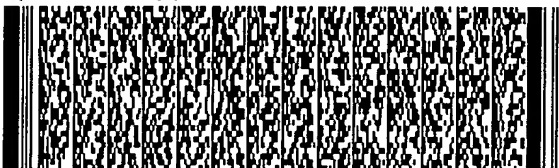
第 12/32 頁



第 12/32 頁



第 13/32 頁



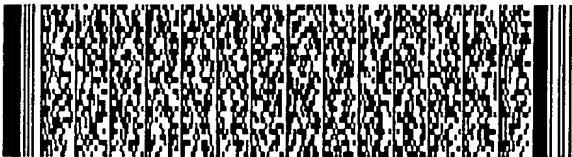
第 13/32 頁



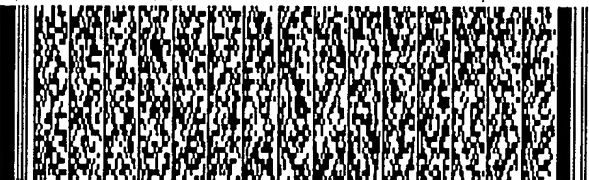
第 14/32 頁



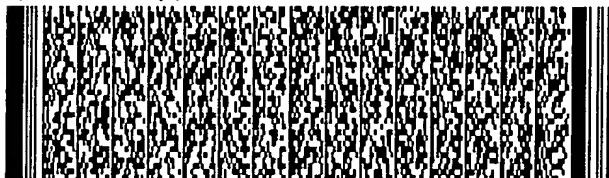
第 14/32 頁



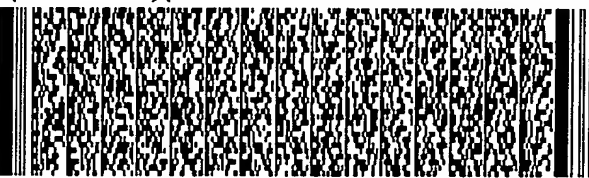
第 15/32 頁



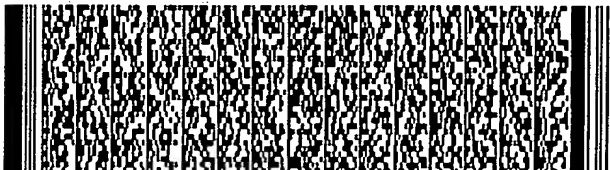
第 15/32 頁



第 16/32 頁



第 16/32 頁



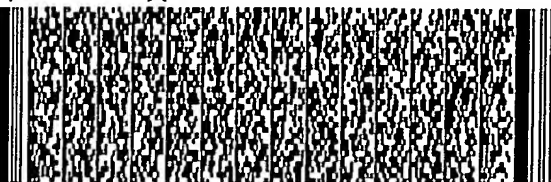
第 17/32 頁



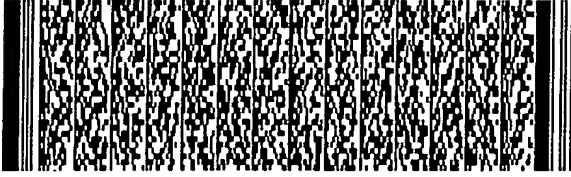
第 17/32 頁



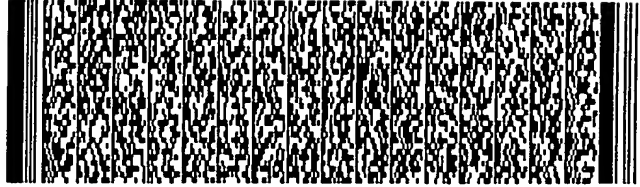
第 18/32 頁



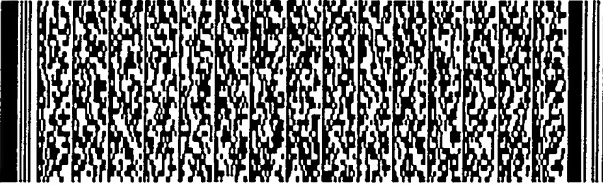
第 18/32 頁



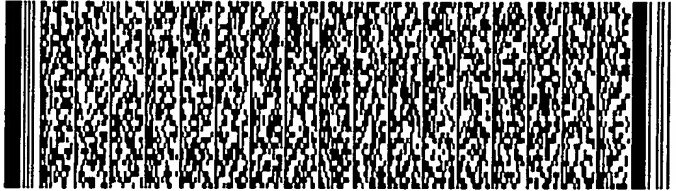
第 19/32 頁



第 20/32 頁



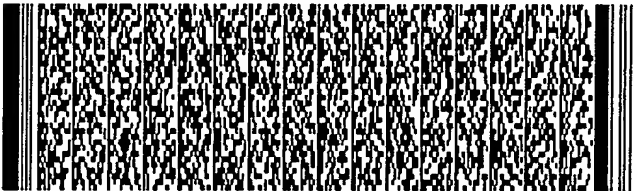
第 21/32 頁



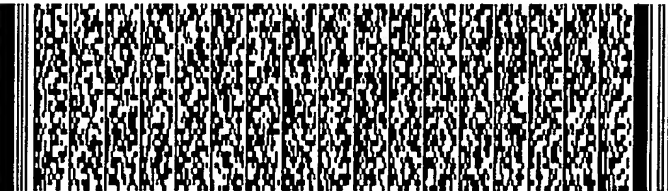
第 22/32 頁



第 23/32 頁



第 24/32 頁



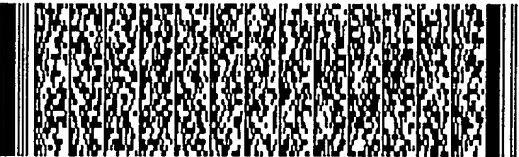
第 25/32 頁



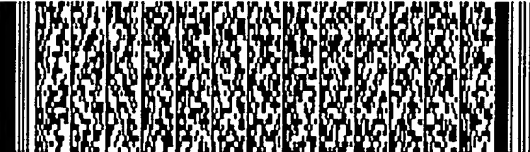
第 26/32 頁



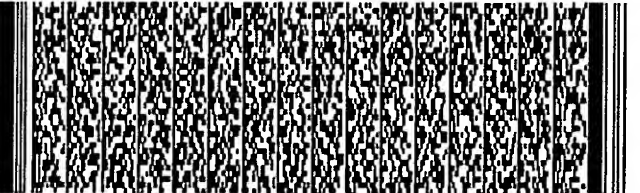
第 27/32 頁



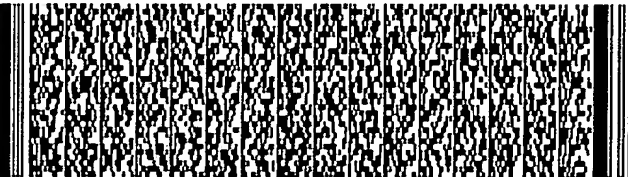
第 27/32 頁



第 28/32 頁



第 29/32 頁



第 30/32 頁

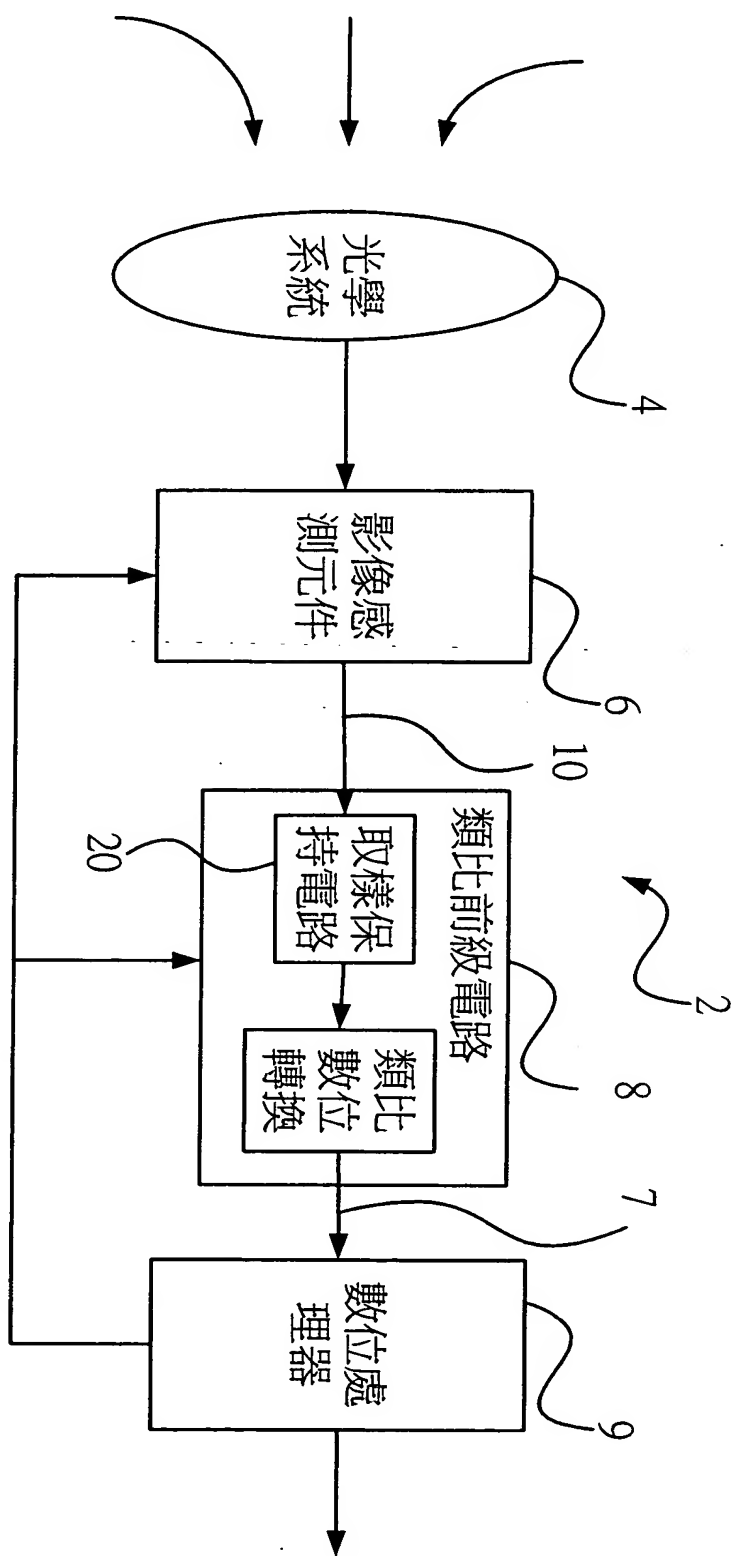


第 31/32 頁

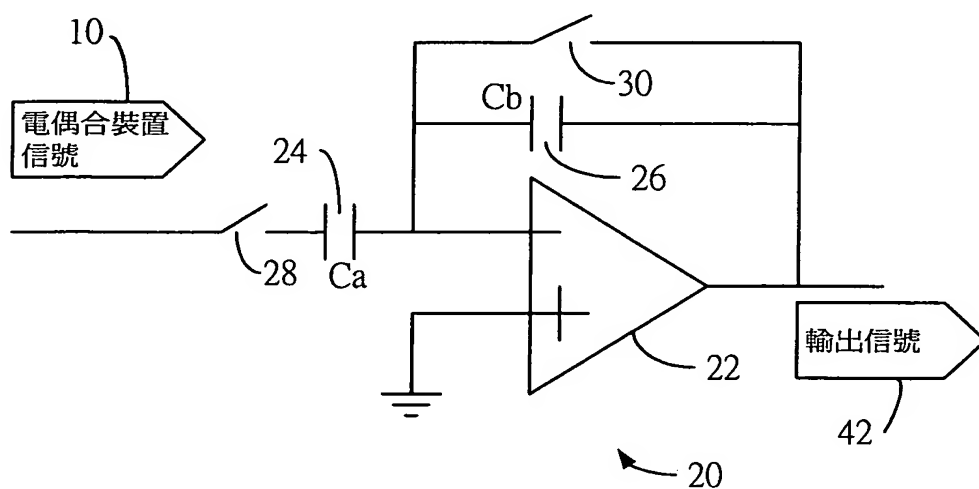


第 32/32 頁

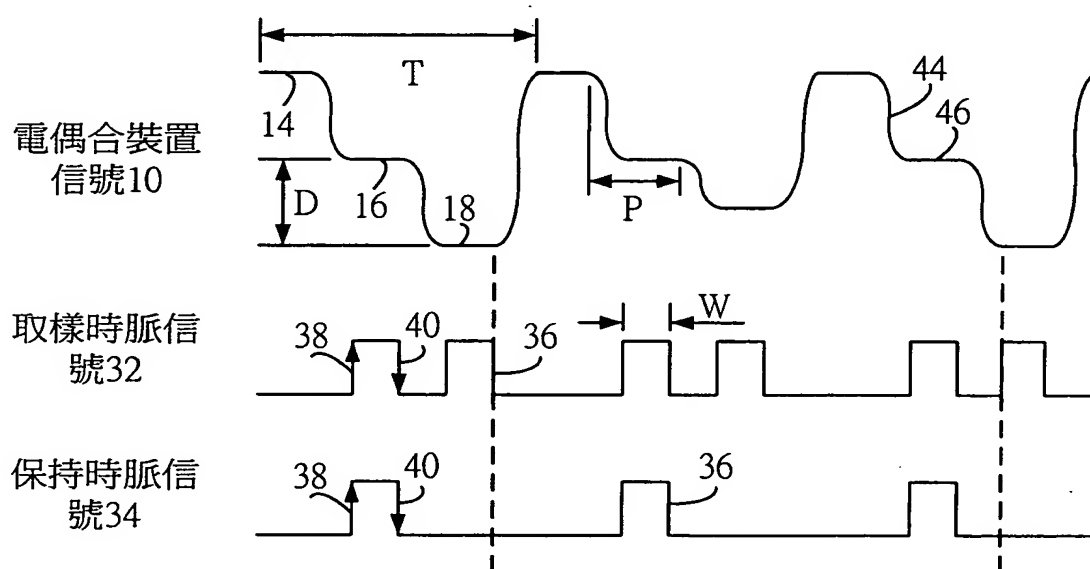




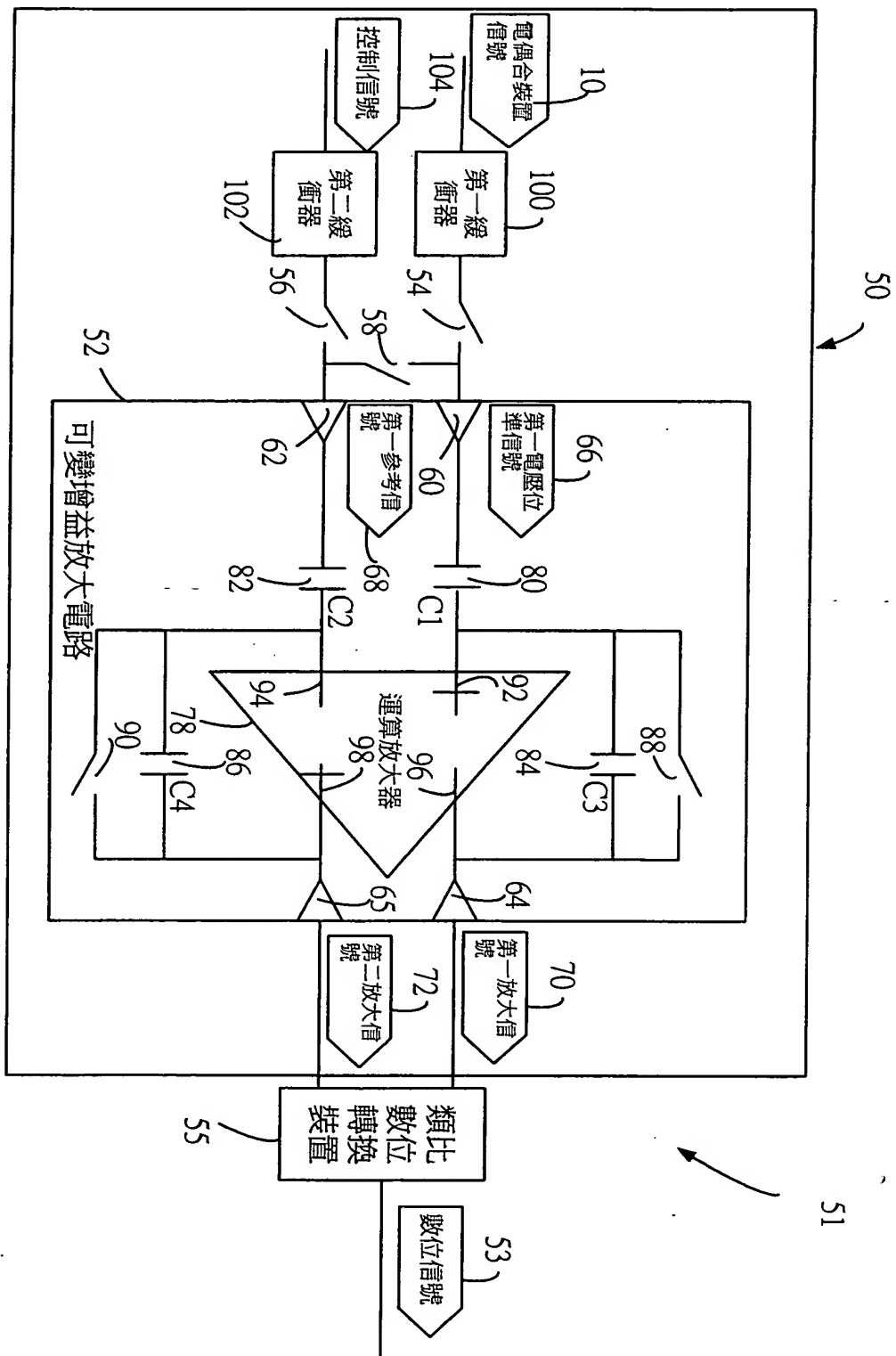
圖一、習知技術



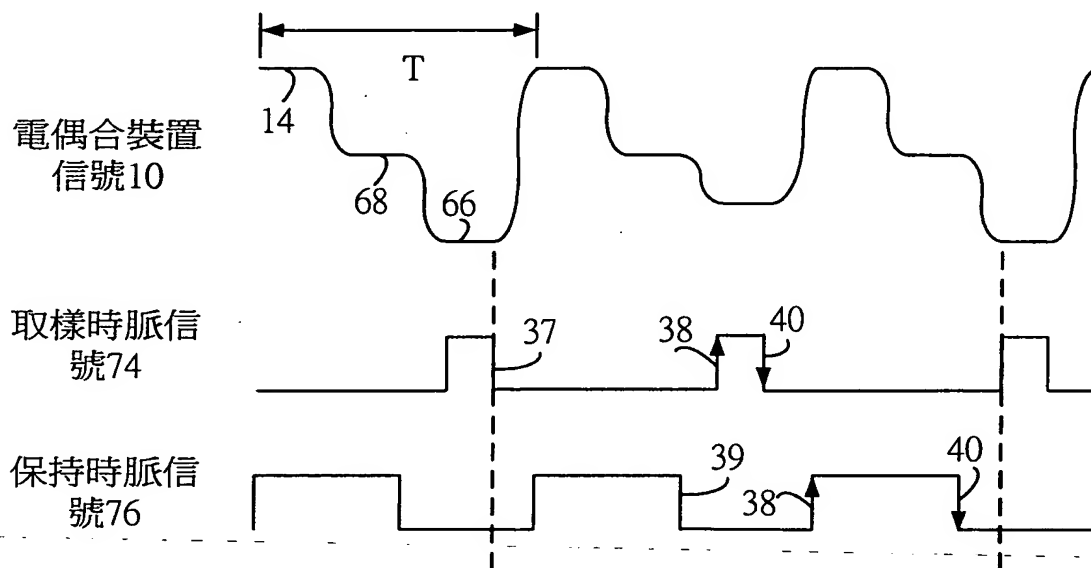
圖二、習知技術



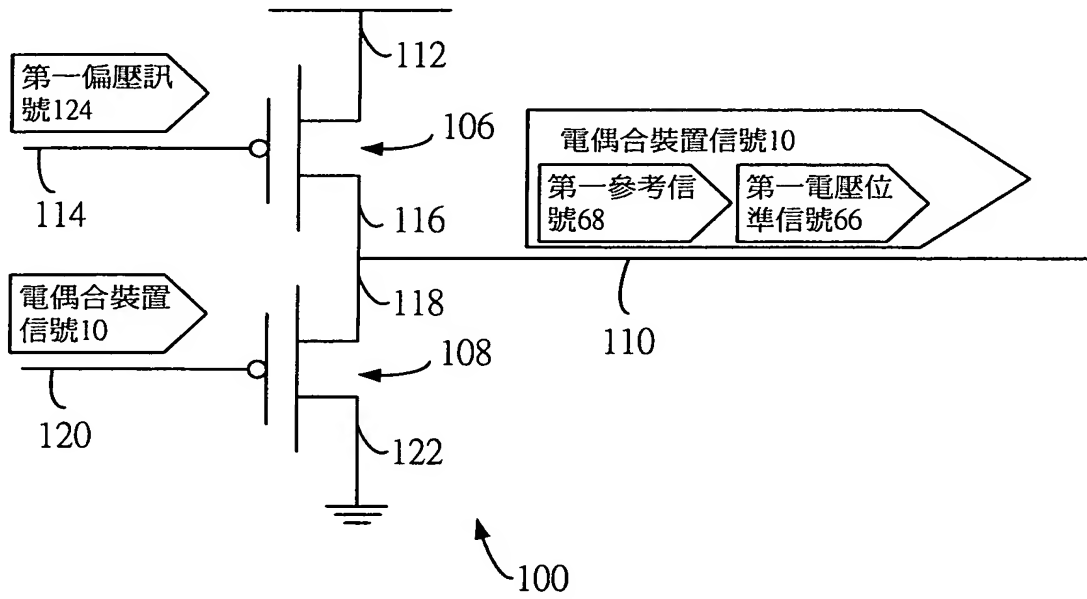
圖三、習知技術



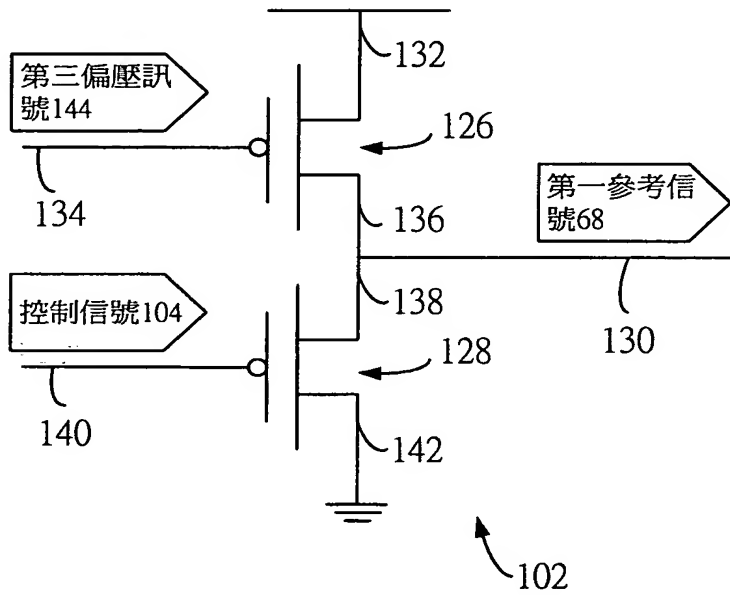
圖四



圖五



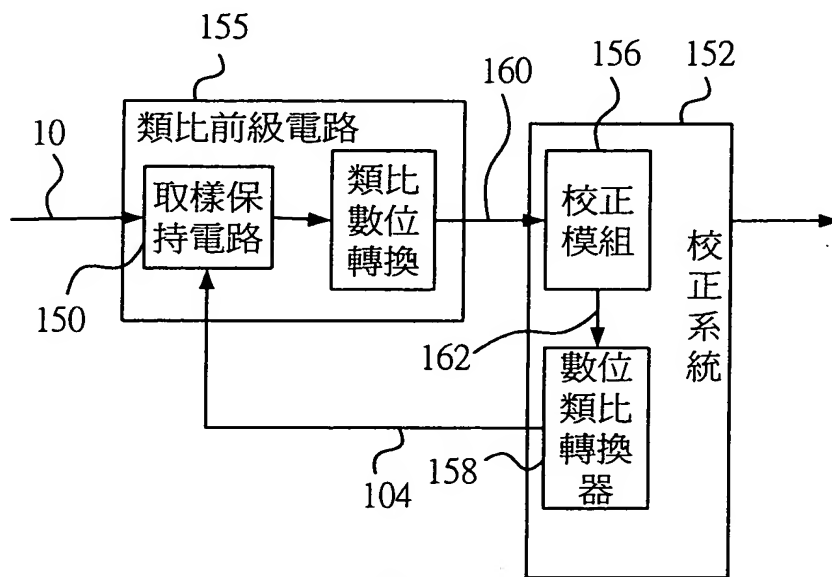
圖六 A



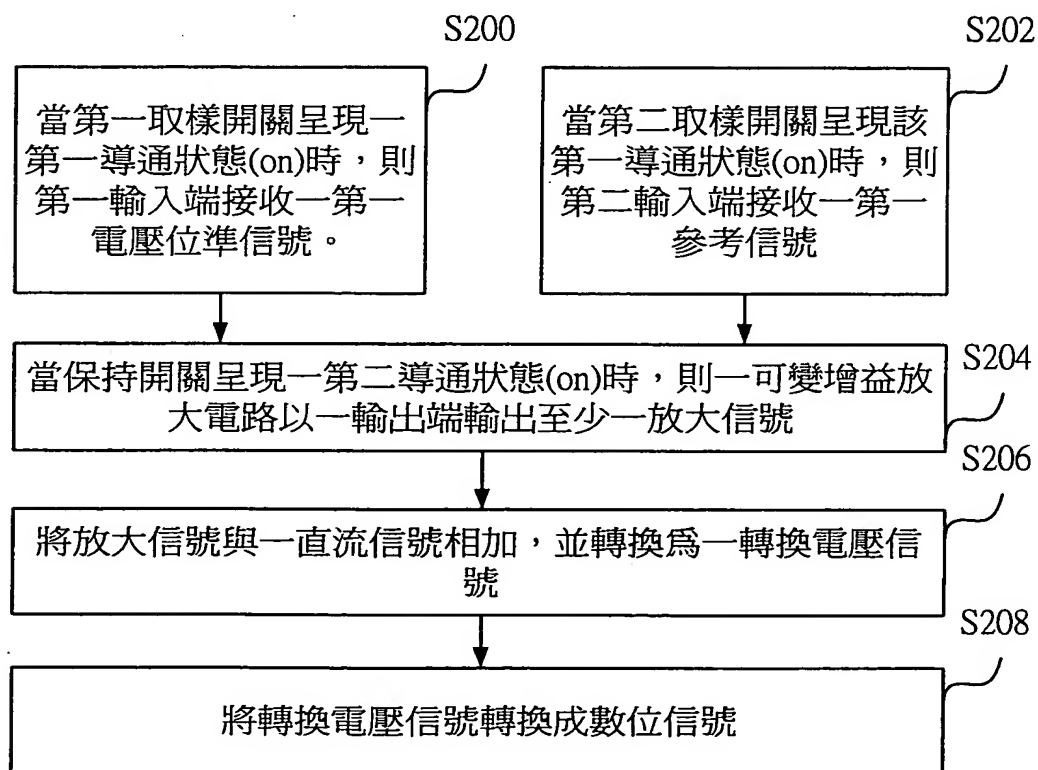
圖六 B



圖式



圖八



圖九